

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PAT-NO: JP406052013A

DOCUMENT-IDENTIFIER: JP 06052013 A

TITLE: TRACING CIRCUIT

PUBN-DATE: February 25, 1994

INVENTOR-INFORMATION:

NAME

NAKAZAWA, OSAMU

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04202566

APPL-DATE: July 29, 1992

INT-CL (IPC): G06F011/28, G06F011/22

ABSTRACT:

PURPOSE: To prevent the lack of trace data (history of execution of emulation) at the time of storing executing history generated in the case the minimum instruction cycle of a microcomputer is shorter than the write cycle time of a trace memory used for the tracing circuit.

CONSTITUTION: A trace memory is provided with two systems 21, 22 and in these two trace memories 21, 22, trace data TD are stored alternately. In such a manner, even to the microcomputer minimum instruction cycle of the time of about a half of a write cycle of the trace memories 21, 22, data lack of the trace data is eliminated and the trace data can all be stored.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-52013

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/28	3 1 0 B	9290-5B		
11/22	3 4 0 A	8323-5B		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-202566

(22)出願日 平成4年(1992)7月29日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 仲沢 治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

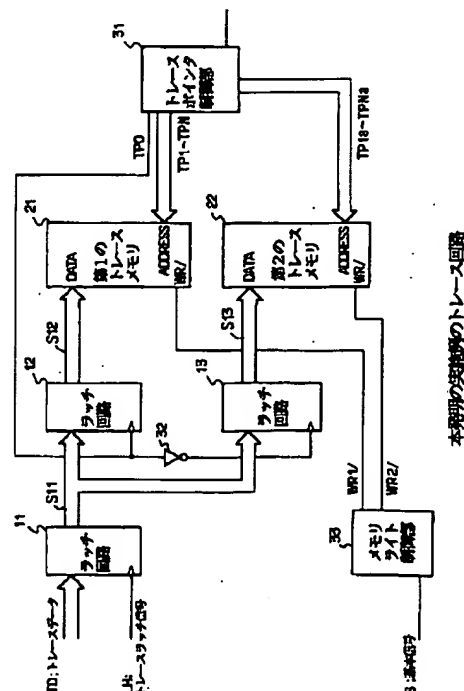
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 トレース回路

(57)【要約】

【目的】 トレース回路に使用されているトレースメモリのライトサイクル時間より、マイクロコンピュータの最小命令サイクルの方が短い場合に発生する、実行履歴格納時のトレースデータ（エミュレーション実行の履歴）の欠落を防止する。

【構成】 トレースメモリを2系統21、22設け、この2つのトレースメモリ21、22にトレースデータTDを交互に格納する。これにより、トレースメモリ21、22のライトサイクルの約半分の時間の最小命令サイクルのマイクロコンピュータに対しても、トレースデータTDのデータ欠落をなくして該トレースデータTDを全て格納できる。



1

【特許請求の範囲】

【請求項1】 マイクロコンピュータ用のインサーキットエミュレータにおけるエミュレーション実行の履歴であるトレースデータをとるトレース回路において、前記トレースデータを格納する読み書き可能な第1および第2のトレースメモリと、前記トレースデータを所定のタイミングで前記第1と第2のトレースメモリに交互に格納させる書込み制御手段とを、設けたことを特徴とするトレース回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ワンチップマイクロコンピュータ等の開発サポートツールであるインサーキットエミュレータ(in-circuit emulator)におけるエミュレーション実行履歴であるトレースデータをとるトレース回路に関するものである。

【0002】

【従来の技術】従来、ワンチップマイクロコンピュータ等の開発サポートツールであるインサーキットエミュレータを用いてデバッグ等が行われている。エミュレーション(emulation)とは、あるマイクロコンピュータが別のマイクロコンピュータの命令体系を、ハードウェアやマイクロプログラムによるファームウェアによって擬似的に実行することである。このようなエミュレーションを行うソフトウェアあるいはハードウェア装置をエミュレータ(emulator)という。エミュレータは、ハードウェアにインストラクション(命令)の解釈処理機能を持つため、処理速度が高いという利点を有している。従来、ワンチップマイクロコンピュータ等のインサーキットエミュレータにおけるトレース回路では、該ワンチップマイクロコンピュータのエミュレーション実行の履歴(トレースデータ)をとるために、読み書き可能なトレースメモリを備え、プログラムカウンタや各種レジスタの履歴を格納している。そして、このトレースメモリに格納されたデータを中央処理装置(以下、CPUという)で実行することにより、開発対象となるプログラムのデバッグ等を行っている。

【0003】

【発明が解決しようとする課題】しかしながら、上記構成のトレース回路では、使用するトレースメモリのライトサイクル時間(書込みサイクル時間)により、該トレース回路の動作速度の上限が決まってしまう、それより高速な最小命令サイクルのワンチップマイクロコンピュータのトレース回路としては使用することができなかった。つまり、トレースメモリのライトサイクル時間よりも、ワンチップマイクロコンピュータの最小命令サイクルの方が短くなると、プログラムカウンタや各種レジスタの履歴を格納する場合に、十分なライト時間をかけることができないため、該トレースメモリに格納されたデ

2

ータに欠落が生じてしまう。本発明は、前記従来技術が持っていた課題として、トレース回路に使用されているトレースメモリのライトサイクル時間よりマイクロコンピュータの最小命令サイクルの方が短いときに発生する実行履歴格納時のトレースデータの欠落といった点について解決した、インサーキットエミュレータにおけるトレース回路を提供するものである。

【0004】

【課題を解決するための手段】本発明は、前記課題を解決するために、マイクロコンピュータ用のインサーキットエミュレータにおけるエミュレーション実行の履歴であるトレースデータをとるトレース回路において、前記トレースデータを格納する読み書き可能な第1および第2のトレースメモリと、前記トレースデータを所定のタイミングで前記第1と第2のトレースメモリに交互に格納させる書込み制御手段とを、設けている。

【0005】

【作用】本発明によれば、以上のようにインサーキットエミュレータにおけるトレース回路を構成したので、書込み制御手段は、トレースメモリのライトサイクル時間よりもマイクロコンピュータの最小命令サイクルの方が短くなっても、供給されるトレースデータを第1と第2のトレースメモリに所定のタイミングで交互に格納していく。これにより、高速な最小命令サイクルのマイクロコンピュータに対しても、プログラムカウンタや各種レジスタ等のトレースデータを的確に格納できる。従って、前記課題を解決できるのである。

【0006】

【実施例】図1は、本発明の実施例を示すトレース回路の構成ブロック図である。このトレース回路は、例えばワンチップマイクロコンピュータ用のインサーキットエミュレータに設けられる回路であり、トレースラッチ信号LHによりトレースデータTDを取り込んで保持するラッチ回路11を有し、そのラッチ出力S11側にラッチ回路12、13が接続されている。ラッチ回路12はトレースポインタTP0の例えば立ち上がりでラッチ出力S11を取り込んで保持する回路である。ラッチ回路13は、トレースポインタTP0の立ち上がりがインバート32で反転された信号(即ち、トレースポインタTP0の立下り)でラッチ出力S11を取り込んで保持する回路である。このラッチ回路12、13のラッチ出力S12、S13側には、それぞれ第1と第2のトレースメモリ21、22が接続され、その第1および第2のトレースメモリ21、22が、トレースポインタTP1~TPN、TP1a~TPNa、トレースポインタ制御部31、およびメモリライト制御部33によってライト制御が行われるようになっている。

【0007】第1のトレースメモリ21は、ラッチ出力S12を入力するデータ入力端子DATA、ライト信号WR1/を入力するライト信号入力端子WR/、および

トレースポイントTP1~TPNの信号を入力するアドレス入力端子ADDRESSを有している。この第1のアドレスメモリ21は、ライト信号WR1/の入力によってライトモードになり、トレースポイントTP1~TPNで指示された領域に、ラッチ出力S12を格納する機能を有している。第2のトレースメモリ22は、ラッチ出力S13を入力するデータ入力端子DATA、ライト信号WR2/を入力するライト信号入力端子WR/、およびトレースポイントTP1a~TPNaの信号を入力するアドレス入力端子ADDRESSを有している。この第2のトレースメモリ22は、ライト信号WR2/の入力によってライトモードになり、トレースポイントTP1a~TPNaで指示された領域に、ラッチ出力S13を格納する機能を有している。

【0008】トレースポイント制御部31は、第1、第2のトレースメモリ21、22のアドレスを指定するトレースポイントTP0、TP1~TPN、TP1a~TPNaを制御し、ラッチ回路12、13からラッチ出力S12、S13がでている間、それらの各トレースポイントTP0、TP1~TPN、TP1a~TPNaの出力を保持させる機能をしている。メモリライト制御部33は、基本信号Sに基づき、トレースポイントTP1~TPN、TP1a~TPNaが奇数のときと偶数のときにライト信号WR1/とWR2/を交互に出力し、それらを第1と第2のトレースメモリ21、22へ与える機能を有している。

【0009】なお、図1のトレース回路は、読出し手段も備えているが、本実施例とは直接関係がないので、図示されていない。図2は、図1のトレースメモリ21、22にトレースデータTDが格納される様子を示すタイムチャートであり、この図を参照しつつ、図1の動作を説明する。

【0010】まず、トレースデータTDがラッチ回路11に供給されると、該トレースデータTDがトレースラッチ信号LHの立ち上がり時に該ラッチ回路11にラッチされる。このラッチ回路11のラッチ出力S11は、トレースポイントTP0の立ち上がりでラッチ回路12にラッチされ、そのラッチ出力S12が第1のトレースメモリ21のデータ入力端子DATAへ送られる。第1のトレースメモリ21では、メモリライト制御部33から与えられるライト信号WR1/によってライトモードとなり、トレースポイントTP1~TPNで指示された記憶領域に、ラッチ出力S12を記憶する。次に、変化したトレースデータTDは、トレースラッチ信号LHの立ち上がりでラッチ回路11にラッチされる。このラッチ出力S11は、トレースポイントTP0の信号がインバータ32で反転され、その反転信号（即ち、トレース

ポイントTP0の立下り）でラッチ回路13にラッチされ、そのラッチ出力S13が第2のトレースメモリ22へ送られる。第2のトレースメモリ22では、メモリライト制御部33からのライト信号WR2/によってライトモードとなり、トレースポイントTP1a~TPNaで指示された記憶領域に、ラッチ出力S13を記憶する。

【0011】以上のように、本実施例では、トレースポイントTP1~TPN、TP1a~TPNaが奇数のときと偶数のときに、メモリライト制御部33からライト信号WR1/とWR2/が交互に出力され、入力されたトレースデータTDがラッチ回路11、12、13を介して交互に第1と第2のトレースメモリ21、22に格納される。そのため、トレースメモリ21、22のライトサイクルの約半分の時間の最小命令サイクルのワンチップマイクロコンピュータに対しても、トレースデータTDの欠落を生じることなく、全て該トレースメモリ21、22に格納できる。従って、トレース回路の高速化が可能となる。

【0012】なお、本発明は上記実施例に限定されず、例えば、ラッチ回路1、12、13、トレースポイント制御部31およびメモリライト制御部33で構成される書込み制御手段を、他の機能ブロックに変更したり、あるいは上記実施例を、ワンチップマイクロコンピュータ以外のマイクロコンピュータに適用する等、種々の変形が可能である。

【0013】

【発明の効果】以上詳細に説明したように、本発明によれば、トレースデータを格納するトレースメモリを2系統設け、その第1と第2のトレースメモリに対して交互にトレースデータを格納するようにしたので、トレースメモリのライトサイクルの約半分の時間の最小命令サイクルのマイクロコンピュータに対しても、データを欠落することなく、該トレースデータを全て第1と第2のトレースメモリに格納できる。従って、トレース回路の高速化が期待できる。

【図面の簡単な説明】

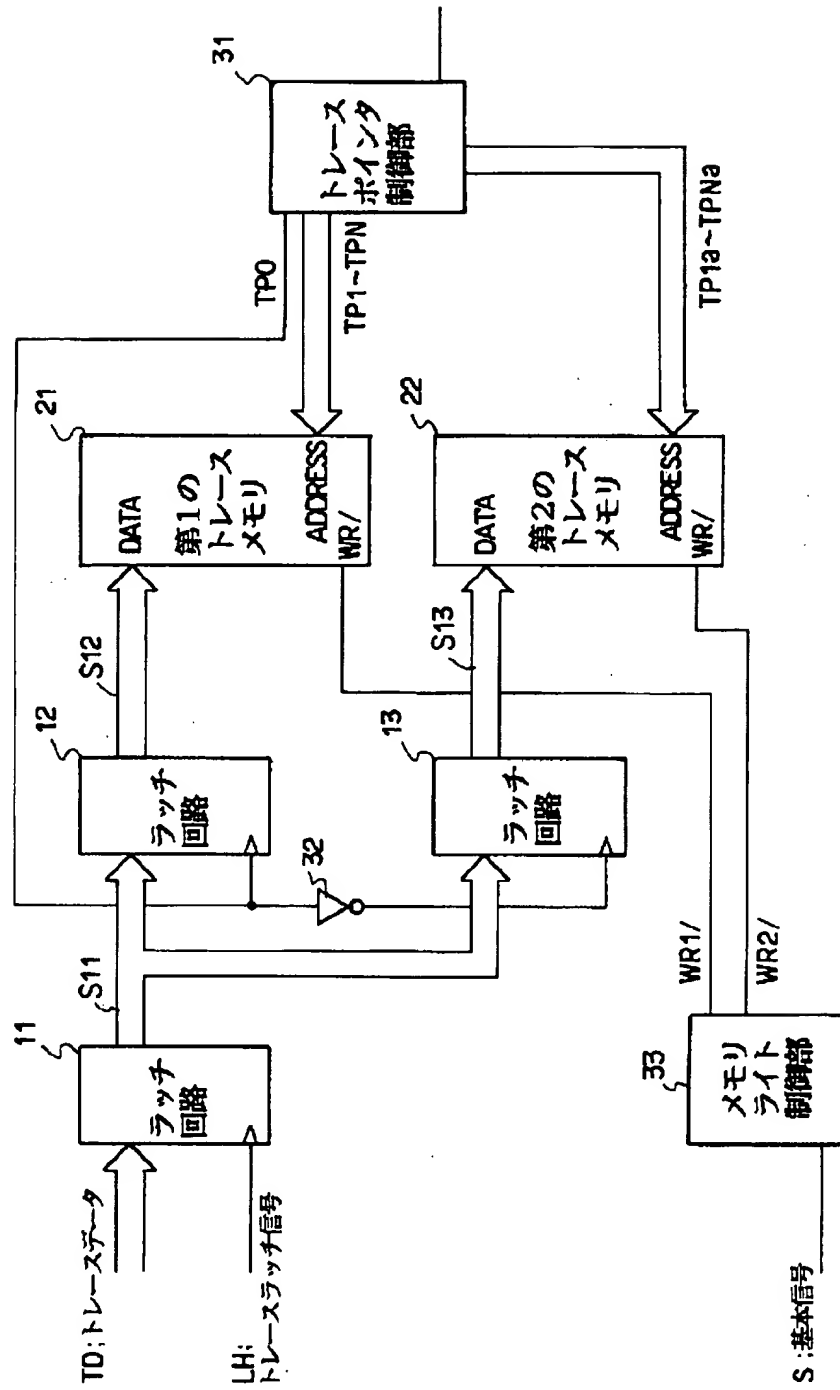
【図1】本発明の実施例を示すトレース回路の構成ブロック図である。

【図2】図1の動作を示すタイムチャートである。

【符号の説明】

11、12、13	ラッチ回路
21、22	第1、第2のトレースメモリ
31	トレースポイント制御部
33	メモリライト制御部

【図1】



本発明の実施例のトレース回路

【図2】

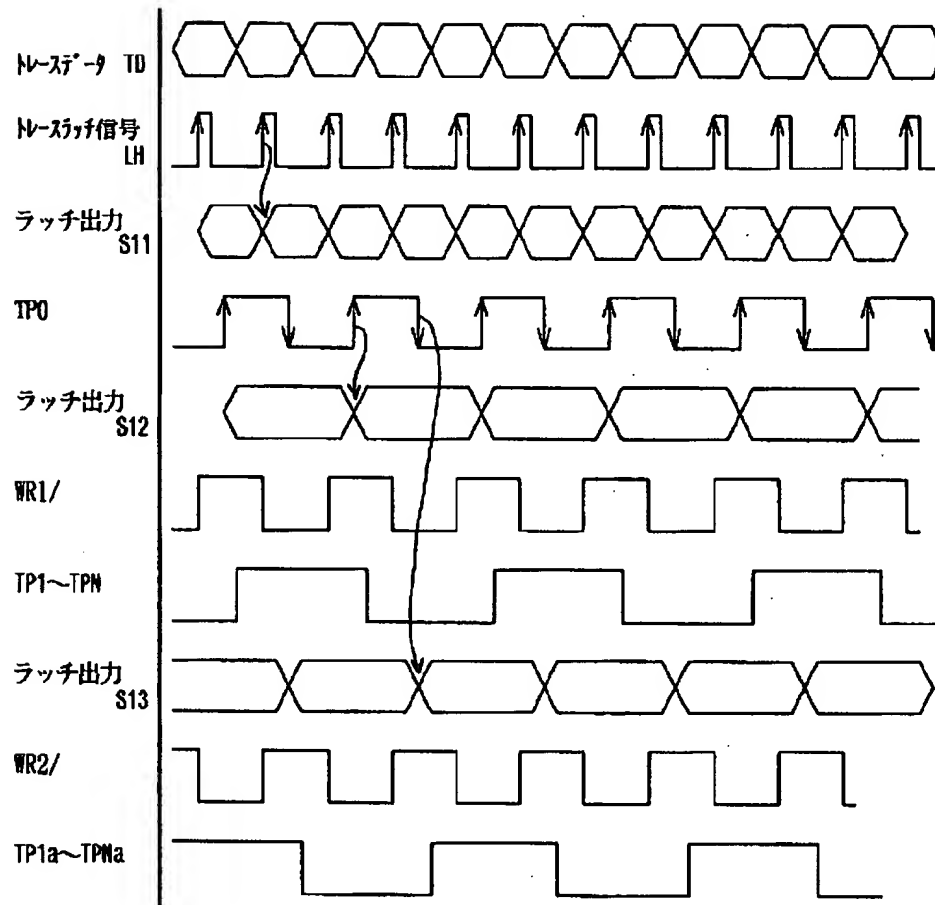


図1のタイムチャート